

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-234062

(43)Date of publication of application : 27.08.1999

H03F 1/60

(51)Int.Cl.

(21)Application number : 10-091233

(22)Date of filing : 13.02.1998

(71)Applicant :

SHARP CORP

(72)Inventor :

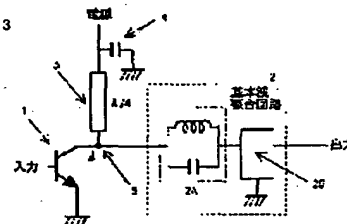
KOMAI SHINYA

(54) HIGH FREQUENCY AMPLIFIER

(57)Abstract

**PROBLEM TO BE SOLVED:** To simultaneously obtain a double wave short circuit which does not affect a fundamental wave matching circuit and a triple wave opening circuit by preparing a parallel resonance circuit which supplies the power to an amplifier element via a transmission line having  $1/4$  wavelength of the fundamental wave and resonates with the triple wave in parallel with the transmission line.

**SOLUTION:** The emitter of a transistor TR 1 serving as an amplifier element that is used for the output of a high frequency amplifier is grounded, the input is supplied to the base of the TR 1, and a transmission line 3 that has  $1/4$  wavelength of a fundamental wave with one of its both ends that is grounded by a capacitor 4 in terms of high frequency is connected to an output terminal 5, serving as the collector of the TR 1 respectively. Meanwhile, a power supply is connected to the side of the capacitor 4, i.e., the other end of the line 3 to supply the power to the TR 1. Furthermore, one of both ends of a parallel resonance circuit 2A, which resonates with a triple wave (3rd higher harmonic) is connected to the terminal 5. Then a circuit 2B is connected to the other end of the circuit 2A for controlling the load of the fundamental wave. The circuits 2A and 2B construct a fundamental wave matching circuit 2.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

<http://www1.ipdl.jpo-miti.go.jp/PA1/result/detail/main/wAAAa14578DA411234062P1.htm>

01/01/10

Searching PAJ

2/2 ページ

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C), 1998,2000 Japanese Patent Office

<http://www1.ipdl.jpo-miti.go.jp/PA1/result/detail/main/wAAAa14578DA411234062P1.htm>

01/01/10

資料 1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-234062

(43) 公開日 平成11年(1999) 8月27日

(51) Int. Cl.<sup>6</sup>

H 0 3 F 3/60

識別記号

F I

H 0 3 F 3/60

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平10-31233

(22) 出願日 平成10年(1998) 2月13日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 駒井 真也

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

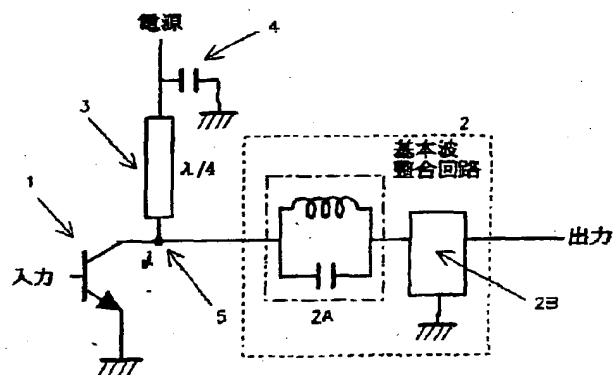
(74) 代理人 弁理士 小池 隆彌

(54) 【発明の名称】 高周波増幅器

(57) 【要約】

【課題】 基本波整合回路に影響しない2倍波短絡回路と3倍波開放回路を同時に実現できるようにして、設計の自由度の高い整合回路を提供するとともに理想的な実装のされる増幅器を提供する。

【解決手段】 増幅素子に直列に接続された基本波整合回路を介して負荷に電力を供給する高周波増幅器において、該基本波整合回路に該増幅素子と直列に整合された第3次高調波に共振する並列共振回路が設けられ、該増幅素子の出力端に一端が接続され、他端を高周波的に接地されることにより、該増幅素子の出力端に対し並列に接続される基本波の1/4波長の電気長を有する伝送回路が設けられ、該伝送回路を介して該増幅素子に電源を供給する。



## 【特許請求の範囲】

【請求項1】 増幅素子に直列に接続された基本波整合回路を介して負荷に電力を供給する高周波増幅器において、

該基本波整合回路に該増幅素子と直列に整合された第3次高調波に共振する並列共振回路を設けるとともに、該増幅素子の出力端に一端が接続され、他端を高周波的に接地されることにより、該増幅素子の出力端に対し並列に接続される基本波の1/4波長の電気長を有する伝送回路を配設し、

該伝送路を介して該増幅素子に電源を供給することを特徴とする高周波増幅器。

【請求項2】 増幅素子の出力端から基本波を制御する伝送路と高調波を制御する伝送線路を分岐させることによって偶数次高調波の短絡条件と奇数次高調波の開放条件を実現する高周波増幅器において、

基本波を制御する伝送線路と高調波を制御する少なくとも1つ以上の伝送線路をボンディングパッドの近傍で分岐させるパターンを有する誘電体基板に、前記増幅素子を有する半導体チップを直接フリップチップボンディングしてなることを特徴とする高周波増幅器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体デバイスのような増幅素子を使用し、マイクロ波帯のような高周波を増幅して負荷に電力を供給する高周波増幅器に関するものである。

## 【0002】

【従来の技術】一般に、増幅素子を効率的に動作させるための有効な方法として、増幅素子の出力に発生する高調波に対する負荷を偶数次高調波に対しては短絡、奇数次高調波に対しては開放とすることによって高調波による電力の発生をなくし、基本波の電力効率を最大にするF級増幅器が知られている。高調波の中では2倍波（第2高調波）と3倍波（第3次高調波）が特に強いので、通常は3倍波までの処理を考えれば十分である。

【0003】従来より、F級増幅器が提案されており、例えば、特開平6-204764号に開示されている増幅器を挙げることができる。これについて、図5を参照し説明する。トランジスタ1の出力端（ノード点）5（ $\alpha$ 点）には、基本波の1/8波長の先端を開放した伝送線路31が接続されている。これは、偶数次高調波のうち、2倍波（第2次高調波）、6倍波（第6次高調波）、10倍波（第10次高調波）に対して、それぞれ1/4波長、3/4波長、5/4波長…となり、 $\alpha$ 点を短絡（ $Z=0$ ）にする。また、この伝送線路31は奇数次高調波すなわち3倍波（第3次高調波）、5倍波（第5次高調波）、7倍波（第7次高調波）…に対して、それぞれ3/8波長、5/8波長、7/8波長…となり、 $\alpha$ 点から見るとそれぞれ $jZ_0$ 、 $-jZ_0$ 、 $jZ_0$ …とイ

ンピーダンスを与えることになる。ここで $Z_0$ は伝送線路31の特性インピーダンスである。さらに、出力端子5には基本波の1/8波長の伝送線路32が接続されており、もしその先端の点（ノード点）6（ $\beta$ 点）が奇数次高調波に対して短絡となっていれば、これは3倍波、5倍波、7倍波…に対して、 $\alpha$ 点から見てそれぞれ $-jZ_0$ 、 $jZ_0$ 、 $-jZ_0$ …のインピーダンスを与えることになる。従って、 $\beta$ 点が特定の奇数次高調波に対して短絡であれば、伝送線路31と同32は並列共振回路を形成し、A点は開放（ $Z=\infty$ ）となる。点6（ $\beta$ 点）を短絡するには、例えば3倍波に対しては1/12波長の先端開放伝送線路34、5倍波に対しては1/20波長の先端開放伝送線路33を接続すれば良い。尚、ここでいう波長とはすべて基本波に対するものである。点6（ $\beta$ 点）の先には基本波に対する整合回路30が接続される。伝送線路31、32、33、34等をトランジスタ1との間に挿入したことにより、当然ながら基本波の整合に影響が及ぼされるので、整合回路30はそれを含めた状態で負荷への整合調整が行われる。

【0004】もう1つの例として、特開平8-148949号に開示している増幅器をあげることができる。これについて図6を参照し説明する。トランジスタ1に直列に接続された基本波整合回路40を介して負荷に電力を供給するようになっている。また、基本波整合回路40にはトランジスタ1と直列に接続された誘導素子40Aが設けられている。尚、誘導素子40Bは基本波整合回路のその他の部分である。41はトランジスタ1の出力端5と接地電位との間に接続された直列共振回路であり、2倍波に対して共振し、2倍波に対する短絡条件を実現する。また、42はトランジスタ1の出力端5と接地電位との間に接続された並列共振回路であり、直列共振回路41と合わせて基本波及び3倍波で共振し、3倍波の開放条件を実現する。さらに、基本波整合回路40に含まれる誘導素子40Aは3倍波に対して十分高いインピーダンスを示すので、3倍波の負荷条件はそれより後の基本波整合回路の影響を殆ど受けない。このようにして、基本波に対するインピーダンスに影響を与えずに2倍波の短絡条件と3倍波の開放条件を同時に実現できるので、自由度の高い基本波整合回路を独立して設計することができる。

## 【0005】

【発明が解決しようとする課題】前者の増幅器では、伝送線路31、32、33、34等をトランジスタ1との間に挿入したことにより、基本波の整合に影響が及ぼされる。また、基本波整合回路を3倍波について分離する手段を有していないので、基本波整合回路は基本波と3倍波の両方を考慮して設計しなければならず、設計が煩雑になり自由度が小さくなる。さらに、トランジスタ1への電源の供給は、チョークコイル等の部品を用いた専用のバイアス回路が必要となる。

【0006】また、後者の増幅器では、直列共振回路41と並列共振回路42を合わせたものが基本波と3倍波の両方で同時に共振することを前提にしている。しかし、実際の素子でこれを実現することは非常に困難であると考えられる。直列共振回路41が2倍波で共振するとき、基本波に対しては容量性、3倍波に対しては誘導性のリアクタンスを示す。一方、並列共振回路42は低い周波数では誘導性、高い周波数では容量性のリアクタンスを示す。従って、直列共振回路41と並列共振回路42をさらに並列に接続することにより、基本波または3倍波に対して並列共振させることは原理的に可能である。

【0007】図7は、図6の共振回路41、42の部分を取り出したものであり、インダクタ $L_1$ とキャパシタ $C_1$ で構成される直列共振回路とインダクタ $L_2$ とキャパシタ $C_2$ で構成される並列共振回路をさらに並列に接続した共振回路を構成している。まず、2倍波に対してインピーダンスを0（ゼロ）にするという条件から、 $L_1$ 、 $C_1 = 1 / (4\omega_1^2)$ を満たす必要がある。ここで、 $\omega_1$ は基本波に対する角振動数である。このとき図7の共振回路全体が基本波と3倍波の両方で共振するという条件から、 $L_2 = 5L_1 / 3$ 、 $C_2 = 16C_1 / 15$ が導かれる。すなわち、 $L_1$ 、 $C_1$ 、 $L_2$ 、 $C_2$ がこれら3つの関係をともに満たせば基本波と3倍波に対して開放、2倍波に対して短絡の負荷条件が満たされる。

【0008】しかし、これは素子のQ値が無限大と見なせるような理想的な場合についてのみ成り立つ関係であり、実際の素子ではインダクタに対して並列の寄生容量や直列の寄生抵抗が存在するために図7のような単純な回路では表わせなくなる。当然、周波数依存性をもつので基本波、3倍波に対するインダクタンスは異なってくる。さらには配線長の影響もあって、それらをすべて含めると設計は非常に複雑となり、基本波と3倍波の両方で正確に共振させることは殆ど不可能に近い。基本波整合回路の設計を容易にするという発明の目的とは裏腹に、この共振回路の設計が極めて困難であり、実現の可能性の乏しい回路であると言える。

【0009】さらに、図6に示す基本波整合回路40にはトランジスタ1の出力端と直列に誘導素子40Aが挿入されているが、例えば0.9GHz帯のような比較的低い周波数帯で3倍波を効果的に減衰させるにはかなり大きなインダクタが必要となる。図4は、ポート1、2の間に直列に接続された誘導素子に対する進行波成分 $|S_{21}|$ に周波数特性である。この図から0.9GHzの3倍波（すなわち2.7GHz）を効果的に減衰させるには、少なくとも数10nH以上のかなり大きなインダクタが必要になることがわかる。また、その場合は基本波の損失も非常に大きくなってしまいうという問題がある。もちろん、トランジスタへの電源の供給を専用のバイアス回路を用いて行うことは前者の例と同じである。

【0010】さらに、上記2つの例だけでなく、高調波の負荷を制御して増幅器を高効動作させるという目的の従来の回路例では、いずれも回路図上の理論だけに止まっていて、実装時に生じる問題にまで触れた例はみられなかった。上記2つの例では、トランジスタのコレクタ（またはドレイン）から高調波を制御するための線路と基本波を制御するための線路の分岐点5（すなわち $\alpha$ 点）までの距離は0（ゼロ）であることを仮定しているが、実際のデバイスではそのようなことはありえない。何故ならば、単体のトランジスタでも、モノリシックIC（MMIC）でもパッケージの出力端子と半導体チップの出力端子の間には必ずボンディングワイヤ等の伝送線路が存在するからである。マイクロ波帯のような高周波では、たとえわずかの線路であっても位相の回転に大きく影響し、周波数に比例した位相の回転を与える。例えば、厚さ0.6mm、比誘電率1.0の誘電体基板上の50 $\Omega$ マイクロストリップ線路で計算してみると、0.9GHz帯の場合、仮に3mmの伝送線路があったとすれば基本波に対して約17°、2倍波に対して約34°、3倍波に対しては約51°もの位相回転を生じる。従って、たとえ $\alpha$ 点において2倍波に対して短絡、3倍波に対して開放の負荷条件が成立したとしても、トランジスタの出力端との間に伝送線路が存在すれば周波数に比例した位相回転が起こり、トランジスタの出力端から見れば負荷条件は大きくずれてしまう。これを見込んで整合回路を設計することは非常に煩雑であり、周波数によって位相の回転角が異なるため、すべての周波数で同時に負荷条件を満足させることは事実上不可能であると言える。

【0011】そこで、本発明はこのような問題を解決するために発明されたものであって、基本波整合回路に影響しない2倍波短絡回路と3倍波開放回路を同時に実現できるようにして、設計の自由度の高い整合回路を提供するとともに理想的な実装のされる増幅器を提供することにより、ひいては効率的な高周波増幅器の設計を容易にすることを目的とする。

#### 【0012】

【課題を解決するための手段】本発明の高周波増幅器は、増幅素子に直列に接続された基本波整合回路を介して負荷に電力を供給する高周波増幅器において、該基本波整合回路に該増幅素子と直列に整合された第3次高調波に共振する並列共振回路を設けるとともに、該増幅素子の出力端に一端が接続され、他端を高周波的に接地されることにより、該増幅素子の出力端に対し並列に接続される基本波の1/4波長の電気長を有する伝送線路を配設し、該伝送線路介して該増幅素子に電源を供給することを特徴とする。

【0013】また、本発明の高周波増幅器は、増幅素子の出力端から基本波を制御する伝送路と高調波を制御する伝送線路を分岐させることによって偶数次高調波の短

絡条件と奇数次高調波の開放条件を実現する高周波増幅器において、基本波を制御する伝送線路と高調波を制御する少なくとも1つ以上の伝送線路をボンディングパッドの近傍で分岐させるパターンを有する誘電体基板に、前記増幅素子を有する半導体チップを直接フリップチップボンディングしてなることを特徴とする。

【0014】本発明の作用を以下に説明する。本発明の高周波増幅器では、先端を高周波的に短絡された1/4波長の伝送線路は、2倍波（第2次高調波）に対しては1/2波長、3倍波（第3次高調波）に対しては3/4波長に相当するため、増幅素子すなわちトランジスタの出力端から見ると基本波に対しては開放、2倍波に対しては短絡、3倍波に対しては開放の負荷条件が実現される。また、3倍波で共振する並列共振回路によって、それよりも先の基本波整合回路の部分へ3倍波の影響が及ばないので、基本波整合回路を独立に設計することができる。さらに、先端を高周波的に短絡された1/4波長の伝送線路はトランジスタの出力端から見ると開放であるので基本波の整合に影響を与えない。この伝送線路を介してトランジスタに電源を供給することにより、チョークコイル等を用いた専用のバイアス回路が不要となり、回路をより簡略化できる。

【0015】また、本発明の高周波増幅器では、増幅素子を有する半導体チップを誘電体基板に直接フリップチップボンディングするものであるから、高調波を制御するための線路と基本波を制御するための線路を増幅素子、例えばトランジスタの出力端の直近から分岐させることができるので、回路図に極めて近い理想的な実装状態を実現することができるため、ボンディングワイヤ等の伝送線路の影響による位相回転がなくなり、高効率な高周波増幅器を実現する整合回路の設計が容易になる。

#### 【0016】

【発明の実施の形態】（実施の形態1）本発明の高周波増幅器の実施の形態1について、その回路を示す図1を参照し、説明する。1は高周波増幅器の出力用（最終段）の増幅素子であるトランジスタであり、そのエミッタが接地され、そのベースに入力供給されるようにされており、そのコレクタである出力端5（α点）にはキャパシタ4によって一端を高周波的に接地された基本波の1/4波長の伝送線路3が接続されている。また、伝送線路3の他端であるキャパシタ4の側には電源を接続し、トランジスタ1に電源を供給するようにしている。さらに、トランジスタ1の出力端5には3倍波（第3高調波）で共振する並列共振回路2Aの一端が接続され、該並列共振回路2Aの他端には基本波の負荷を調整するための回路2Bが接続される。並列共振回路2Aは基本波の負荷を調整するための回路2Bとともに基本波整合回路2を構成する。この基本波整合回路2の出力側、すなわち回路2Bの出力側より出力される。なお、並列共振回路2Aは、位相の回転をなくすためにトランジスタ

1の出力端5のできるだけ直近に配置することが望ましい。

【0017】先端を高周波的に接地された1/4波長の伝送線路3は、トランジスタ1の出力端5から見れば開放であるから基本波の整合に影響を与えない。従って、伝送線路3を介してトランジスタ1に電源を供給することができ、チョークコイル等を用いたバイアス回路を別に必要としない。また、伝送線路3は、2倍波（第2次高調波）に対しては1/2波長、3倍波に対しては3/4波長であるから、2倍波に対しては短絡、3倍波に対しては開放の負荷条件が自動的に満たされる。

【0018】図3は、ポート1、2の間に直列に接続された並列共振回路2Aに対する進行波成分 $|S_{21}|$ の周波数特性を示す図である。ここでは、0.9GHzの3倍波すなわち2.7GHzで共振するように設計されている。この図から、3倍波は十分に阻止され、しかも基本波には殆ど影響を与えないことがわかる。この場合、インダクタの値は1nH、キャパシタの値は3.5pFであったので、比較的小さな素子値で実現できることも利点である。この並列共振回路2Aによって高調波の負荷を調整する部分と基本波の負荷を調整する部分が3倍波に対して完全に分離され、基本波の負荷を調整するための回路2Bは3倍波への影響を考慮することなく独立して設計することができる。もちろん、並列共振回路2Aは基本波に対しては十分低いインピーダンスを示すので、基本波の損失を大きくすることもない。

【0019】その結果、トランジスタ1のベースに入力された信号は、トランジスタ1で増幅され、そのコレクタの出力端5から基本波整合回路2の出力側を通じて基本波が効率的に出力される。

【0020】（実施の形態2）本発明の高周波増幅器の実施の形態2について、それを示す図2を参照し説明する。図2（a）はこの実施の形態2の平面図を、図2

（b）は図2（a）のI-I線に沿った断面図を示し、図2（c）は部分拡大断面図を示す。ここでは、上記実施の形態1の高周波増幅器を適用した例について以下に説明するが、高調波の負荷を制御することにより高効率な高周波増幅器を実現するすべての回路に対して適用できることは言うまでもない。図2（a）において、10は、セラミック等の誘電体基板、11は半導体チップがボンディングされる部分、12はボンディングパッドである。半導体チップ上のトランジスタ1の出力端（パンプパッド）はパンプを介してボンディングパッド12と接続される。15は基本波の1/4波長のマイクロストリップ伝送線路であり、その一端はチップコンデンサ14及びスルーホール16を介して高周波的に接地され、さらに電源端子21と接続されている。また、マイクロストリップ伝送線路15の他端は、ボンディングパッド12の直近に接続されている。

【0021】一方、チップインダクタ13とチップコン

デンサ14で構成される並列共振回路2Aは、その一端がボンディングパッド12の直近に接続され、その他端がチップコンデンサ14とスルーホール16、及びマイクロストリップ伝送線路で構成される基本波の負荷を調整するための回路2Bに接続されている。このとき並列共振回路2A内の伝送線路はできるだけ短くすることが望ましい。

【0022】ここで、誘電体基板10においてボンディングパッド12からのびる伝送線路は分岐点γにおいて分岐し、マイクロストリップ線路15の一端、チップコンデンサ14及びチップインダクタ13に接続する伝送線路の一端にそれぞれ連続しているパターンを形成している。

【0023】17は出力端子、18は入力端子、19は出力を制御するための電圧を与える端子、20は最終段以外の電源を供給する端子である。また、21は、最終段トランジスタに電源を供給する端子、22はスルーホール16を介して半導体チップに接地電位を与えるためのパッドである。このようにして誘電体基板10には、ボンディングパッド12、それから伸びる伝送線路、マイクロストリップ線路15、チップコンデンサ14、チップインダクタ13、入出力端子等を相互に接続する伝送線路等をマイクロストリップ線路としてパターン作成されている。

【0024】この誘電体基板10に、半導体チップ等を直接フリップチップボンディングしている。なお、半導体チップの bumps パッドが bumps を介して誘電体基板10の対応するボンディングパッドに接続している。このフリップチップボンディングの状態の断面を図2(b)及びその半導体チップ周辺の拡大断面図を図2(c)に示す。ここで、1GHz程度の高周波では伝送線路の長さが例えば1mm違っても負荷インピーダンスに数度の位相回転を生ずる。位相回転を1度以内に押さえるためには、トランジスタ1の出力端の bumps パッドに接続された bumps からマイクロストリップ伝送線路の分岐点γまでの距離は0.2mm以下にする必要がある。半導体チップの周辺の拡大断面図を示す図2(c)において、トランジスタ1の出力端の bumps パッドに接続された bumps からマイクロストリップ線路の分岐点γまでの距離をDとすると、 bumps パッドの大きさが100μm角程度であることから距離Dがそれに比べて大きくない程度であれば実用上問題は起こらないと考えられる。なお、この距離Dは、取り扱う周波数に応じ設定することができるのはもちろんのことであり、実用上から設定することができる。こうして、マイクロストリップ線路15、チップコンデンサ14、チップインダクタ13がボンディングパッドの直近に接続される。

【0025】このフリップチップボンディングにより、1/4波長の伝送線路15と並列共振回路2Aはボンディングパッド12、すなわちトランジスタ1の出力

端の近傍で分岐することになるので、回路図に極めて近い理想的な実装状態を実現することができている。従って、高調波を制御する線路と基本波を制御する線路の分岐点からトランジスタの出力端の間に存在する伝送線路の影響によって位相回転を考慮する必要がなく、出力整合回路の設計を容易に、しかも正確に行うことが可能となる。

#### 【0026】

【発明の効果】本発明の高周波増幅器は、先端が高周波的に接地された基本波の1/4波長の伝送線路を介して増幅素子に電源を供給し、さらにこの伝送線路と並列に3倍波で共振する並列共振回路を設けることにより、基本波整合回路に影響を与えない2倍波短絡回路と3倍波開放回路を同時に実現することができ、簡略でしかも設計の自由度が高い高効率な増幅器をうることができる。

【0027】また、本発明の高周波増幅器は、増幅素子を有する半導体チップが誘電体基板に直接フリップチップボンディングより配設されていることにより、高周波を制御する線路と基本波を制御する線路の分岐点から増幅素子すなわちトランジスタの出力端の間に存在する伝送線路の影響がなくなるので、特性のよい理想的と言い得るようなF級高周波増幅器を実現することができる。

#### 【図面の簡単な説明】

【図1】本発明の高周波増幅器の実施形態1の回路図である。

【図2】本発明の高周波増幅器の実施の形態2の構成を説明する平面図及び断面図である。

【図3】本発明の高周波増幅器に実施の形態1の並列共振回路の特性を示す図である。

【図4】従来の増幅器の誘導素子の周波数特性を説明する図である。

【図5】従来の増幅器を説明する回路図である。

【図6】従来の増幅器を説明する回路図である。

【図7】従来の増幅器の並列共振回路の特性を示す図である。

#### 【符号の説明】

1	出力のトランジスタ
2	基本波整合回路
2A	並列共振回路
2B	その他の基本波整合回路部分
3	1/4波長の伝送線路
4	キャパシタ
5、6	ノード点
10	誘電体基板
12	ボンディングパッド
13	チップインダクタ
14	チップキャパシタ
15	1/4波長のマイクロストリップ線路

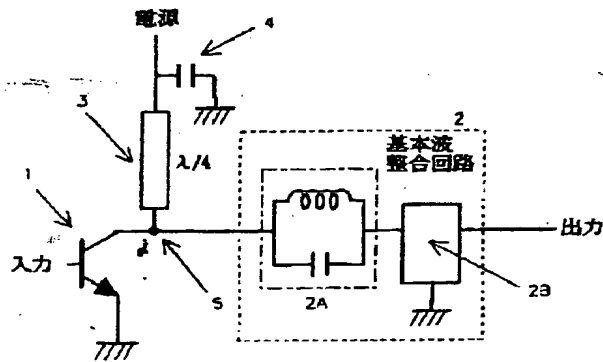
(6)

特開平 1 1 - 2 3 4 0 6 2

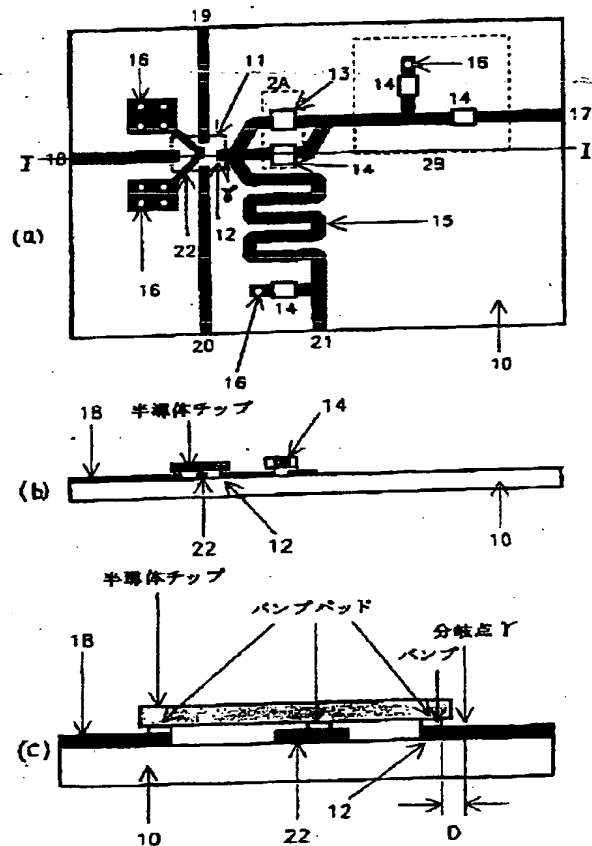
1 6 スルーホール  
1 7 出力端子  
1 8 入力端子  
1 9 出力を制御するための電圧を  
与える端子  
2 0 最終段以外の電源を供給する  
端子  
2 1 出力用のトランジスタに電源  
を供給する端子

2 2 半導体チップに接地電位を供  
給するためのパッド  
3 0 基本波整合回路  
3 1、3 2  $1/8$  波長伝送線路  
3 3  $1/20$  波長伝送線路  
3 4  $1/12$  波長伝送線路  
3 5 高周波阻止用チョークコイル  
4 0 A 誘導素子  
4 0 B その他の基本波整合回路部分

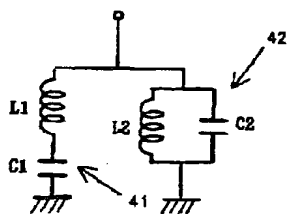
【図 1】



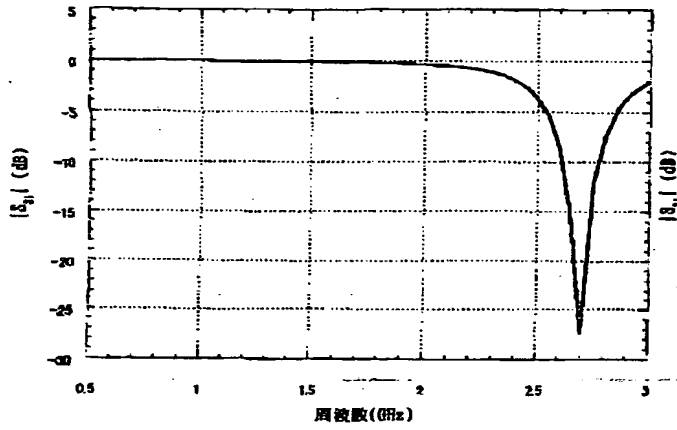
【図 2】



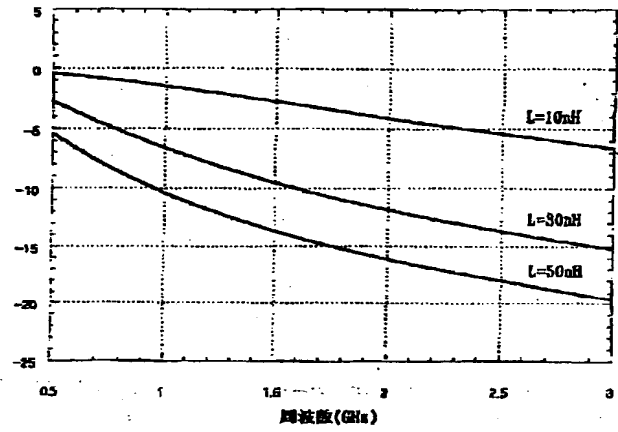
【図 7】



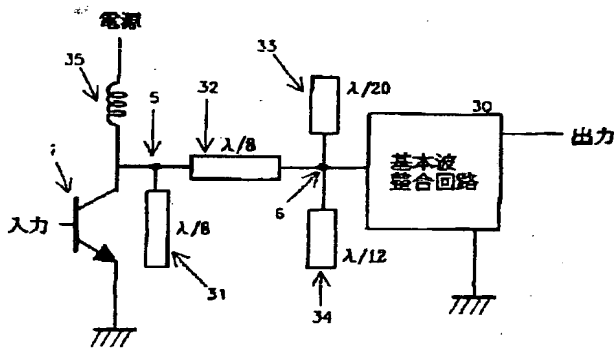
【図3】



【図4】



【図5】



【図6】

